

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: September 24, 2002

Application Number: No. 2002-277758
[ST.10/C]: [JP 2002-277758]

Applicant(s) MITSUMI ELECTRIC CO., LTD.

June 2, 2003

Commissioner,
Japan Patent Office

Shinichiro Ota (Seal)

Certificate No.2003-3042767

EXPRESS MAIL LABEL
NO.: EV 327548765 US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月24日

出 願 番 号

Application Number:

特願2002-277758

[ST.10/C]:

[JP 2002-277758]

出 願 人

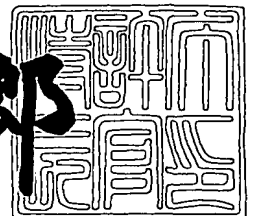
Applicant(s):

ミツミ電機株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042767

【書類名】 特許願

【整理番号】 07X12046-0

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02M 3/02

【発明者】

【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

【氏名】 稲垣 ▲靖▼彦

【発明者】

【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

【氏名】 ▲真▼▲崎▼ 貴幸

【特許出願人】

【識別番号】 000006220

【氏名又は名称】 ミツミ電機株式会社

【代理人】

【識別番号】 100070150

【弁理士】

【氏名又は名称】 伊東 忠彦

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源供給回路

【特許請求の範囲】

【請求項 1】 入力定電圧に基づいて電源電圧を生成し、負荷に供給する電源供給回路において、

前記入力定電圧を遅延させる遅延回路と、

前記遅延回路で遅延された電圧から前記電源電圧を生成し、前記負荷に供給する出力回路と、

前記出力回路で生成される電源電圧に基づいて電流を生成し、生成された電流を前記出力回路の駆動電流として供給する電流生成回路とを有することを特徴とする電源供給回路。

【請求項 2】 前記電流生成回路で生成される電流は、前記出力回路を駆動すべき所望の電流値に設定されたことを特徴とする請求項 1 記載の電源供給回路。

【請求項 3】 前記遅延回路は、前記入力定電圧が印加される入力端子と前記出力回路との間に直列に設けられた抵抗と、

前記抵抗と前記出力回路との接続点と基底電位とされる基底電位端子との間に設けられ、前記入力低電圧を遅延させる容量素子とを有することを特徴とする請求項 1 又は 2 記載の電源供給回路。

【請求項 4】 複数の負荷に電源を供給する場合、

前記遅延回路を、前記複数の負荷で共通に設け、

前記出力回路及び前記定電流生成回路を、前記複数の負荷夫々に対して設けたことを特徴とする請求項 1 乃至 3 のいずれか一項記載の電源供給回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源供給回路に係り、特に、出力電圧を入力電圧に対して遅延させて出力させる電源供給回路に関する。

【0002】

【従来の技術】

アンプなどを駆動する駆動電源を供給する電源供給回路では、リップルリジェクション特性を向上させたり、電源立ち上げ時のショックノイズの発生を防止したりするためにアンプの駆動電源の立ち上がりを遅延させる遅延回路が設けられていた。

【0003】

図4は従来の一例の回路構成図を示す。

【0004】

ここでは、アンプ回路1を例に説明を行う。アンプ回路1は、電源供給回路11及びアンプ12から構成される。電源供給回路11は、電源端子 T_v から供給される電源電圧 V_{cc} に基づいてアンプ12に駆動電源を供給するため駆動電圧を生成する回路である。アンプ12は、電源供給回路11から供給される駆動電圧に基づいて入力端子 T_{in} に入力される入力信号を増幅して、出力端子 T_{out} から出力する。

【0005】

電源供給回路11は、基準電圧生成回路21、遅延回路22、出力回路23から構成される。基準電圧生成回路21は、定電流源31、ツェナーダイオード D_z から構成される。定電流源31は、電源端子 T_v に印加される電源電圧 V_{cc} から定電流 I_1 を生成する。電流 I_1 は、ツェナーダイオード D_z に供給される。

【0006】

ツェナーダイオード D_z は、電流 I_1 に基づいてツェナー電圧 V_z を発生する。ツェナー電圧 V_z は、遅延回路22に印加される。遅延回路22は、抵抗 R_1 及びキャパシタ C_1 から構成される。遅延回路22は、抵抗 R_1 及びキャパシタ C_1 で決定される時定数 τ を有し、基準電圧生成回路21から出力されるツェナー電圧 V_z を時定数 τ だけ遅延させて出力回路23に供給する。キャパシタ C_1 は、外付け部品であり、一端が端子 T_c に接続され、他端は接地される。

【0007】

出力回路23は、NPNトランジスタ Q_1 から構成される。トランジスタ Q_1 は、ベースに遅延回路22の遅延出力が供給され、コレクタに電源端子 T_v から

電源電圧 V_{cc} が印加され、エミッタからアンプ 12 の駆動電圧を出力する。

【0008】

図 5 は従来の一例の動作説明図を示す。図 5 (A) は電源電圧 V_{cc} 、図 5 (B) はトランジスタ Q1 のベース電位及びエミッタ電位を示す。

【0009】

時刻 t_0 で、電源電圧 V_{cc} が立ち上がると、トランジスタ Q1 のベース電位 V_B 及びエミッタ電位 V_E が遅延回路 22 により遅延されて立ち上がる。このとき、トランジスタ Q1 のベース電位 V_B は、基準電圧生成回路 21 の出力電圧を V_z とし、トランジスタ Q1 のベース電流を I_B とすると、

$$V_B = V_z - (I_B \times R_1) \quad \dots (1)$$

で表せる。電圧 $(I_B \times R_1)$ は、遅延回路 22 の抵抗 R_1 による電圧降下分である。

【0010】

さらに、トランジスタ Q1 のエミッタ電位 V_E は、トランジスタ Q1 のベース－エミッタ間順方向電圧を V_F とすると、

$$V_E = V_z - (I_B \times R_1) - V_F \quad \dots (2)$$

で表せる。

【0011】

電源供給回路として、上記のような技術が従来、知られていた。ただし、上記のような電源供給回路に相当する技術文献は発見し得なかった。

【0012】

【発明が解決しようとする課題】

しかしながら、従来の電源供給回路は、遅延回路 22 の抵抗 R_1 により電圧降下が発生し、アンプ 12 に印加される電源電圧 V_E は、式 (2) に示される電圧となる。

【0013】

一方、電子回路や電子装置には、IC 化、或いは、低コスト化、小型などが求められている。IC 化、或いは、低コスト化、小型などを実現するためには、遅延回路 22 のキャパシタ C_1 の容量を制限する必要がある。キャパシタ C_1 の容

量を制限しつつ、従来と同様の遅延時間 τ を得ようとする、抵抗 R_1 を大きくする必要がある。

【0014】

抵抗 R_1 が大きくなると、式(2)の第2項が増加することになり、したがって、電源電圧 V_E が低減する。電源電圧 V_E が低減すると、図4に示すアンプ回路においては、アンプ12の最大振幅が低下するなどの問題点がある。

【0015】

本発明は上記の点に鑑みてなされたもので、ノイズショックなどを確実に低減しつつも、効率良く電源電圧を供給できる電源供給回路を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明は、入力定電圧(V_Z)に基づいて電源電圧を生成し、負荷(12)に供給する電源供給回路(111)において、入力定電圧(V_Z)を遅延させる遅延回路(22)と、遅延回路(22)で遅延された電圧から電源電圧を生成し、負荷(12)に供給する出力回路(23)と、出力回路(23)で生成される電源電圧に応じて電流を生成し、生成した電流を出力回路(23)に駆動電流として供給する電流生成回路(124)とを有することを特徴とする。

【0017】

また、電流生成回路で生成される電流は、出力回路を駆動すべき所望の電流値に設定されたことを特徴とする。

【0018】

さらに、遅延回路(22)は、入力定電圧(V_Z)が印加される入力端子と出力回路との間に直列に設けられた抵抗(R_1)と、抵抗(R_1)と出力回路(23)との接続点と基底電位(GND)とされる基底電位端子との間に設けられ、入力定電圧(V_Z)を遅延させる容量素子(C_1)とを有することを特徴とする。

【0019】

本発明によれば、電流生成回路(124)により、出力回路(23)で生成される電源電圧に応じて電流を生成し、生成した電流を出力回路(23)に駆動電

流として供給することにより、出力回路（23）に遅延回路（22）を通さずに駆動電流を供給できるため、遅延回路（22）による減衰の影響を排除できる。

【0020】

また、複数の負荷（12-1～12-n）に電源を供給する場合、遅延回路（12）を、複数の負荷（12-1～12-n）で共通に設け、出力回路（23-1～23-n）及び定電流生成回路（124-1～124-n）を、複数の負荷（12-1～12-n）夫々に対して設けたことを特徴とする。

【0021】

本発明によれば、複数の負荷（12-1～12-n）の夫々に出力回路（23-1～23-n）及び定電流生成回路（124-1～124-n）を設けることにより、複数の負荷（12-1～12-n）に対して遅延回路（22）による減衰の影響を排除できる。

【0022】

なお、参照符号は、あくまでも参考であり、これによって特許請求の範囲が制限されるものではない。

【0023】

【発明の実施の形態】

図1は本発明の一実施例の回路構成図を示す。同図中、図4と同一構成部分には同一符号を付し、その説明は省略する。

【0024】

図1は、本実施例の電源供給回路111が内蔵されたアンプIC100の回路構成図を示している。アンプIC100は、電源供給回路111及びアンプ12から構成される。本実施例の電源供給回路111は、図4に示す従来の電源供給回路11に電流生成回路124を設けた構成とされている。

【0025】

電流生成回路124は、NPNトランジスタQ2、PNPトランジスタQ3、Q4から構成されている。トランジスタQ2は、電源端子Tvと出力回路23との間に接続され、出力回路23を構成するトランジスタQ1が駆動されることにより、駆動される。

【 0 0 2 6 】

トランジスタ Q 3、Q 4 は、カレントミラー回路を構成しており、トランジスタ Q 2 のベース電流に応じた電流をトランジスタ Q 3 のコレクタから出力する。トランジスタ Q 3 のコレクタから出力された電流 I_{c3} は、遅延回路 2 2 とトランジスタ Q 1 のベースとの接続点に供給される。

【 0 0 2 7 】

トランジスタ Q 3 のコレクタ電流 I_{c3} は、トランジスタ Q 1 のベース供給すべき所望の電流 I_B に設定されている。トランジスタ Q 3 のコレクタ電流 I_{c3} は、例えば、トランジスタ Q 3、Q 4 のエミッタ面積などによって設定される。

【 0 0 2 8 】

電流生成回路 1 2 4 は、出力回路 2 3 を構成するトランジスタ Q 1 の動作状態に応じて駆動される。このとき、出力回路 2 3 の動作は、電源電圧 V_{cc} の立ち上がり時に遅延回路 2 2 によって遅延される。電流生成回路 1 2 4 は、出力回路 2 3 の動作に応じて駆動されているため、出力回路 2 3 の動作の遅延によって、電流制御回路 1 2 4 の動作も遅延する。これによって、電流生成回路 1 2 4 の駆動によってショックノイズが発生することはない。

【 0 0 2 9 】

図 2 は本発明の一実施例の動作説明図を示す。図 2 (A) は電源電圧 V_{cc} 、図 2 (B) はトランジスタ Q 1 のエミッタ電位を示す。

【 0 0 3 0 】

時刻 t_0 で電源電圧 V_{cc} が立ち上がると、トランジスタ Q 1 のエミッタ電位が遅延回路 2 2 の抵抗 R_1 及びキャパシタ C_1 によって決定される時定数 τ により遅延して立ち上がる。

【 0 0 3 1 】

このとき、トランジスタ Q 1 のベース電流 I_B は、電流生成回路 1 2 4 から供給され、抵抗 R_1 には電流は流れないため、式 (2) の第 2 項の $(I_B \times R_1)$ は、「0」となる。したがって、トランジスタ Q 1 のエミッタ電位 V_E は、トランジスタ Q 1 のベース-エミッタ間順方向電圧を V_F とすると、

$$V_E = V_Z - V_F \quad \dots (4)$$

で表せる。

【0032】

すなわち、従来に比べて ($I_B \times R_1$) だけアンプ12に印加できる電圧を上昇させることができる。したがって、アンプ12の最大振幅を ($I_B \times R_1$) に応じた分だけ拡大できる。

【0033】

また、本発明は複数のアンプ12を内蔵したICにも適用可能である。

【0034】

図4は本発明の他の実施例の回路構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0035】

本実施例のアンプ回路200は、内部に複数のアンプ12-1～12-nを有する。複数のアンプ12-1～12-nには、複数のアンプ12-1～12-n 夫々に出力回路23-1～23-n及び電流生成回路124-1～124-nが設けられている。

【0036】

電流生成回路124-1は、出力回路23-1にベース電流 I_B を供給し、電流生成回路124-2は、出力回路23-2にベース電流 I_B を供給する。同様にして電流生成回路124-nは、出力回路23-nにベース電流 I_B を供給する。

【0037】

【発明の効果】

上述の如く、本発明によれば、電流生成回路(124)により、出力回路(23)で生成される電源電圧に応じて電流を生成し、生成した電流を出力回路(23)に駆動電流として供給することにより、出力回路(23)に遅延回路(22)を通さずに駆動電流を供給できるため、遅延回路(22)による減衰の影響を排除できる。

【0038】

また、本発明によれば、複数の負荷(12-1～12-n)の夫々に出力回路

(23-1~23-n) 及び定電流生成回路 (124-1~124-n) を設けることにより、複数の負荷 (12-1~12-n) に対して遅延回路 (22) による減衰の影響を排除できる。

【図面の簡単な説明】

【図1】 本発明の一実施例の回路構成図である。

【図2】 本発明の一実施例の動作説明図である。

【図3】 本発明の他の実施例の回路構成図である。

【図4】 従来の一例の回路構成図である。

【図5】 従来の一例の動作説明図である。

【符号の説明】

101 電源供給回路

11 定電圧生成回路、12 遅延回路、

13、13-1~13-n 出力回路、

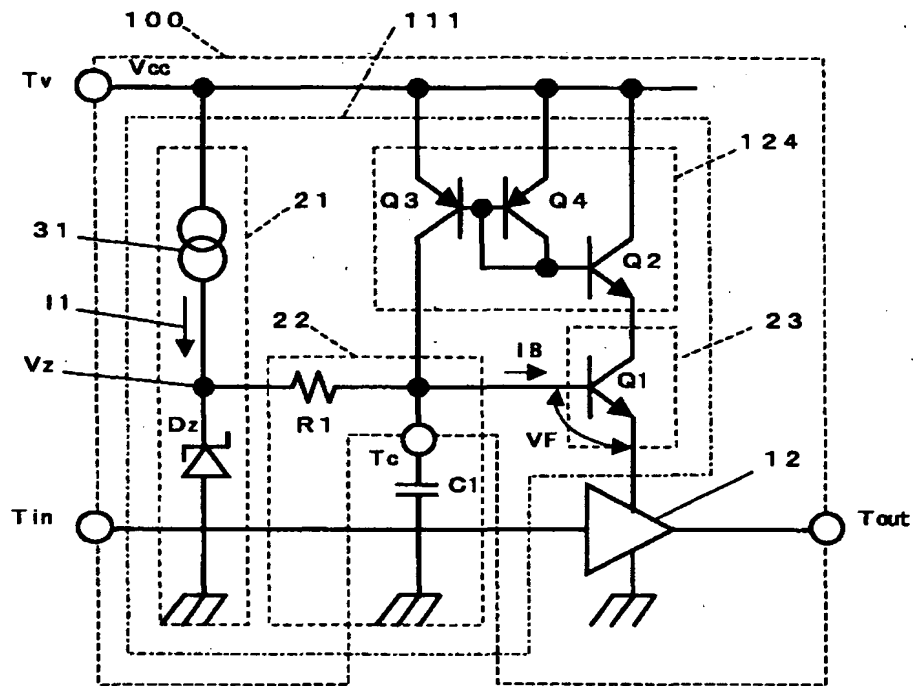
14、14-1~14-n アンプ回路

21 定電流源

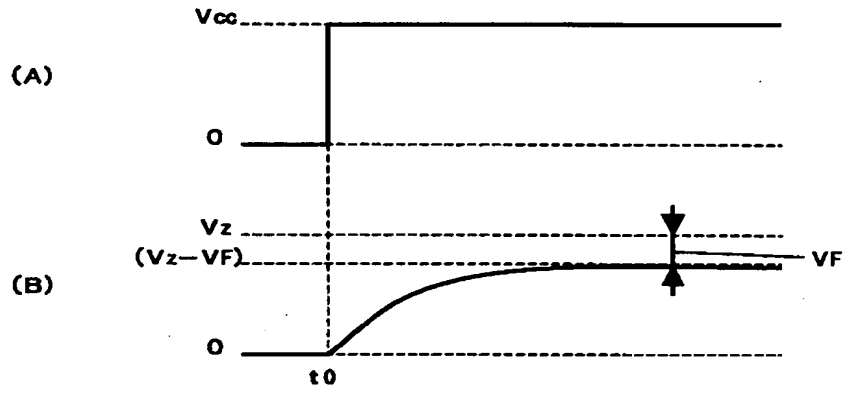
111、111-1~111-n 定電流生成回路

【書類名】 図面

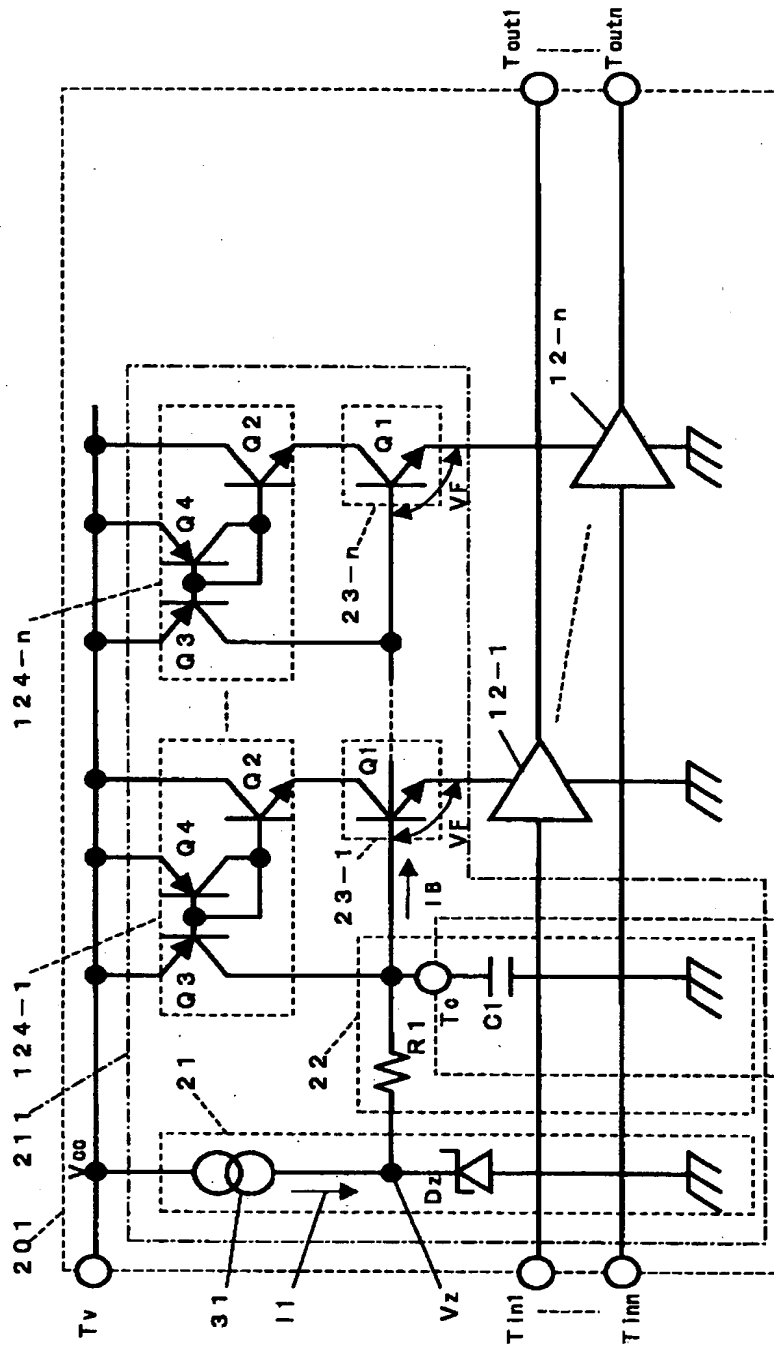
【図1】



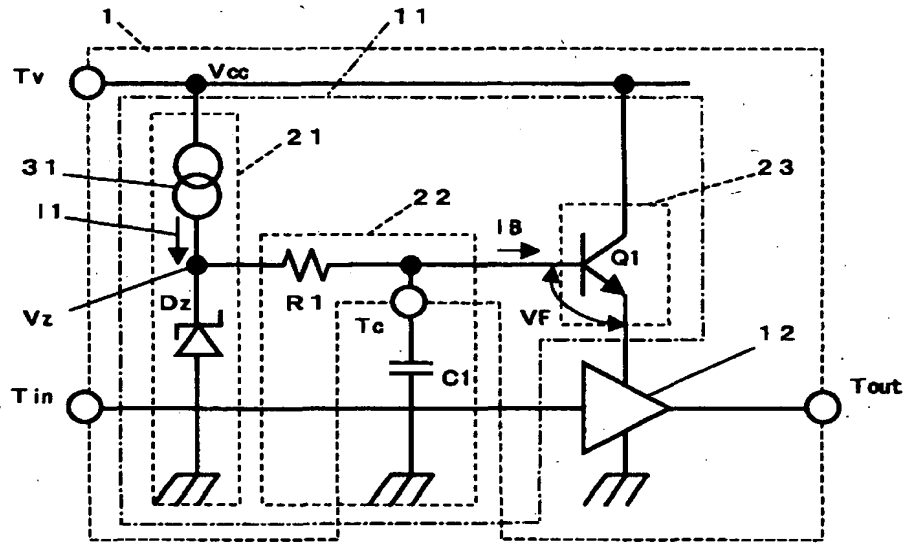
【図 2】



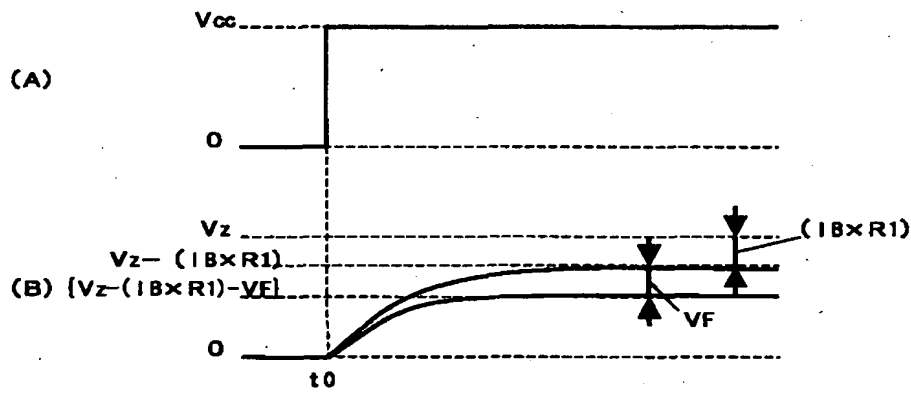
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 出力電圧を入力電圧に対して遅延させて出力させる電源供給回路に関し、ノイズショックなどを確実に低減しつつも、効率良く電源電圧を供給できる電源供給回路を提供することを目的とする。

【解決手段】 本発明は、入力定電圧 (V_z) に基づいて電源電圧を生成し、負荷 (12) に供給する電源供給回路 (111) において、入力定電圧 (V_z) を遅延させる遅延回路 (22) と、遅延回路 (22) で遅延された電圧から電源電圧を生成し、負荷 (12) に供給する出力回路 (23) と、出力回路 (23) で生成される電源電圧に応じて電流を生成し、生成した電流を出力回路 (23) に駆動電流として供給する電流生成回路 (124) とを有することを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006220]

1. 変更年月日 2001年 8月 21日
[変更理由] 住所変更
住 所 東京都調布市国領町8丁目8番地2
氏 名 ミツミ電機株式会社
2. 変更年月日 2002年11月12日
[変更理由] 住所変更
住 所 東京都多摩市鶴牧2丁目11番地2
氏 名 ミツミ電機株式会社
3. 変更年月日 2003年 1月 7日
[変更理由] 住所変更
住 所 東京都多摩市鶴牧2丁目11番地2
氏 名 ミツミ電機株式会社
4. 変更年月日 2003年 4月 2日
[変更理由] 名称変更
住 所 東京都多摩市鶴牧2丁目11番地2
氏 名 ミツミ電機株式会社